

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-68620

(P2000-68620A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl.⁷

H 05 K 1/11
1/09
3/38
3/40

識別記号

F I

H 05 K 1/11
1/09
3/38
3/40

マーク*(参考)

N 4 E 3 5 1
A 5 E 3 1 7
B 5 E 3 4 3
K

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21)出願番号

特願平10-238580

(22)出願日

平成10年8月25日(1998.8.25)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 仲谷 安広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 鈴木 武

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外1名)

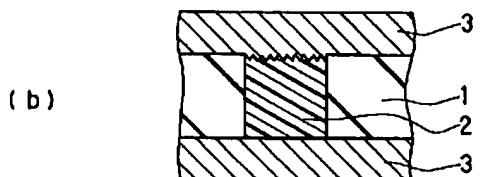
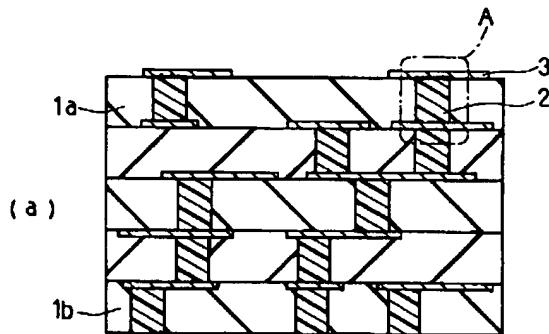
最終頁に続く

(54)【発明の名称】回路基板及びその製造方法

(57)【要約】

【課題】 インナーバイヤーホール(IVH)接続された回路基板の接続信頼性の向上と配線パターンのファインパターン化を図る。

【解決手段】 絶縁体層1の貫通孔に充填された導電性組成物2と電気的に接続された配線パターン3との、導電性組成物3との界面を絶縁体層1との界面に比べて粗化する。



【特許請求の範囲】

【請求項1】 貫通孔が形成された絶縁体層と、前記貫通孔に充填された導電性組成物と、前記絶縁体層の両面に形成された配線パターンとを有し、前記絶縁体層の両面に形成された配線パターンは前記導電性組成物を介して電気的に接続されており、前記配線パターンの前記導電性組成物との界面のうちの少なくとも一つは、前記絶縁体層との界面に比べて粗化されていることを特徴とする回路基板。

【請求項2】 絶縁体層の一方の面に金属箔を、他方の面に樹脂フィルムをそれぞれ積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする回路基板の製造方法。

【請求項3】 金属箔よりなる配線パターンが形成されたコア層の表面に、絶縁体層及び樹脂フィルムをこの順に積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする回路基板の製造方法。

【請求項4】 貫通孔が形成された絶縁体層と、前記貫通孔に充填された導電性組成物と、前記絶縁体層の両面に形成された配線パターンと、前記配線パターンと前記導電性組成物との間に設けられた導電性バッファー層とを有し、前記絶縁体層の両面に形成された配線パターンは前記導電性組成物及び前記導電性バッファー層を介して電気的に接続されており、前記配線パターンの前記導電性バッファー層との界面のうちの少なくとも一つは、前記絶縁体層との界面に比べて粗化されていることを特徴とする回路基板。

【請求項5】 前記導電性バッファー層は、前記導電性組成物及び／又は前記配線パターンとの界面の凹凸に追随している請求項4に記載の回路基板。

【請求項6】 前記導電性バッファー層は、前記導電性組成物及び／又は前記配線パターンに含まれる金属成分との間で合金又は金属間化合物を形成している請求項4に記載の回路基板。

【請求項7】 絶縁体層の一方の面に金属箔を、他方の面に樹脂フィルムをそれぞれ積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記粗化された前記孔底面に導電性バッファー層を形成する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする回路基板の製造方法。

【請求項8】 金属箔よりなる配線パターンが形成されたコア層の表面に、絶縁体層及び樹脂フィルムをこの順に積層する工程と、前記樹脂フィルム側から前記金属箔

と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記粗化された前記孔底面に導電性バッファー層を形成する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする回路基板の製造方法。

【請求項9】 前記金属箔の表面を粗化する方法が、砥粒加工を含む請求項2、3、7、又は8に記載の回路基板の製造方法。

【請求項10】 前記金属箔の表面を粗化する方法が、金属箔の一部を除去又は塑性変形させる工程を含む請求項2、3、7、又は8に記載の回路基板の製造方法。

【請求項11】 前記導電性組成物は、金、銀、銅、ニッケル、パラジウム及びこれらの合金から選ばれる少なくとも1つをフィラーとして含有し、前記配線パターンは、銅もしくは銅を主成分とした合金である請求項1、4、5、又は6に記載の回路基板。

【請求項12】 前記導電性バッファー層は、金、銀、錫、鉛、インジウム及びパラジウムのうちの少なくとも1種類の金属、もしくはこれらの合金、あるいはこれらの金属化合物である請求項4～6のいずれかに記載の回路基板。

【請求項13】 前記導電性バッファー層の厚みが、 $0.01\mu m$ 以上 $20\mu m$ 以下である請求項4～6のいずれかに記載の回路基板。

【請求項14】 前記導電性組成物に代えて、抵抗体組成物又は熱伝導性組成物を使用する請求項1、4、5、6、11、12、又は13に記載の回路基板。

【請求項15】 前記導電性組成物に代えて、抵抗体組成物又は熱伝導性組成物を使用する請求項2、3、7、8、9、又は10に記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路基板及びその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴い、回路基板には高多層、高密度化が求められている。IC間や部品間を最短距離で結合できる基板の層間接続方式としてインナーバイヤーホール（IVH）接続によって高密度化が図られている。

【0003】IVH接続の多層基板は、導電性樹脂組成物（例えば、ペースト状のもの、すなわち、導電性ペースト）をバイヤに充填したプリプレグ等の回路基板接続材を、パターン形成の為の銅箔、或いは、あらかじめパターン形成されたコア材に積層し、熱プレス等の方法で加熱／加圧することにより製造される。

【0004】導電性ペーストは、エポキシ樹脂等の合成樹脂バインダーに、銅粉等の導電性フィラーを分散させたものが用いられ、離型性フィルムを両面に備えたプリプレグの所望の位置に形成した貫通孔に印刷等の方法で

充填される。

【0005】前記、加熱／加圧工程で、導電性ペースト中のバインダーが導電性フィラーと回路形成用の銅箔を接着し、機械的強度を発現させ、導電性フィラーと銅箔の機械的接触によりIVH接続を得ている。

【0006】

【発明が解決しようとする課題】しかしながら、前述した従来のIVH接続技術では、導電性フィラーと銅箔は、単に点接触しているだけなので、電気的な接続に関する信頼性の点で不十分であった。具体的には、LSI等の半導体パッケージ或いは、モジュール用途(MCM, CSPなど)の回路基板に要求される信頼性、例えば、プレッシャークッカーテスト(PCT)を行うと、バイヤ中の導電性組成物／銅箔の界面で、接続抵抗が高くなり、最悪の場合には断線が発生するといった問題点があった。

【0007】IVH接続の信頼性は、多層基板の性能の中で最も重要なものであり、高密度化が図れ、しかも軽量化できるIVH接続樹脂多層基板を半導体パッケージ或いはモジュール用途に用いる為に、その向上が強く求められていた。

【0008】本発明は上記従来の課題を解決するもので、IVH接続において高い信頼性を有する回路基板を実現するための回路基板とその製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明は、上記の目的を達成するために以下の構成とする。

【0010】本発明の第1の構成に係る回路基板は、貫通孔が形成された絶縁体層と、前記貫通孔に充填された導電性組成物と、前記絶縁体層の両面に形成された配線パターンとを有し、前記絶縁体層の両面に形成された配線パターンは前記導電性組成物を介して電気的に接続されており、前記配線パターンの前記導電性組成物との界面のうちの少なくとも一つは、前記絶縁体層との界面に比べて粗化されていることを特徴とする。

【0011】上記の第1の構成によれば、配線パターンの導電性組成物との接触界面が粗化されているので、接触面積が増加して、導電性組成物中の導電性フィラーと配線パターンの金属箔との接触点数が増えたり、導電性組成物に含まれる樹脂と配線パターンとの接着力を高めたりする作用により接続の信頼性が向上する。

【0012】また、上記第1の構成によれば、配線パターンの粗化領域が、導電性組成物との接続界面に限定されているので、全面を粗化した場合と比べて、配線パターンのファインパターン形成が容易になる。全面が粗化された金属箔を絶縁体層に積層して得られた回路基板では、その後、回路パターン形成のための金属箔のエッチング時に、粗化部分が絶縁体層に深く埋め込まれた状態になっている為、オーバーエッチングを行う必要がある

り、パターン精度を高めることが難しいからである。

【0013】また、本発明の第2の構成に係る回路基板の製造方法は、絶縁体層の一方の面に金属箔を、他方の面に樹脂フィルムをそれぞれ積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする。

【0014】また、本発明の第3の構成に係る回路基板の製造方法は、金属箔よりなる配線パターンが形成されたコア層の表面に、絶縁体層及び樹脂フィルムをこの順に積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする。

【0015】かかる第2又は第3の構成によれば、上記第1の構成に係る回路基板を効率良く製造することができる。

【0016】更に、本発明の第4の構成に係る回路基板は、貫通孔が形成された絶縁体層と、前記貫通孔に充填された導電性組成物と、前記絶縁体層の両面に形成された配線パターンと、前記配線パターンと前記導電性組成物との間に設けられた導電性バッファー層とを有し、前記絶縁体層の両面に形成された配線パターンは前記導電性組成物及び前記導電性バッファー層を介して電気的に接続されており、前記配線パターンの前記導電性バッファー層との界面のうちの少なくとも一つは、前記絶縁体層との界面に比べて粗化されていることを特徴とする。

【0017】上記第4の構成によれば、配線パターンと導電性組成物との間に導電性バッファー層が形成されており、配線パターンの導電性バッファー層との接触界面が粗化されているので、接触面積が増加するとともに、導電性バッファー層が配線パターンの表面凹凸に追随して変形して密着性が増加したり、配線パターンを構成する金属成分との間で合金または金属間化合物を形成したりしやすくなる。また、導電性バッファー層を極めて薄く形成することにより、導電性バッファー層表面に配線パターンの粗化による凹凸パターンがそのまま形成される。このため、導電性バッファー層と導電性組成物との接触界面も粗化され、接触面積が増加するとともに、導電性バッファー層が導電性組成物中の導電性フィラーの表面凹凸に追随して変形して密着性が増加したり、導電性フィラーを構成する金属成分との間で合金または金属間化合物を形成したり、更に導電性組成物に含まれる樹脂と導電性バッファー層との接着力を高めたりしやすくなる。以上の結果、配線パターンと導電性組成物との接続の信頼性が向上する。

【0018】また、上記第4の構成によれば、配線パタ

ーンの粗化領域が、導電性バッファー層との接続界面に

限定されているので、第1の構成に係る回路基板と同様に、全面を粗化した場合と比べて、配線パターンのファインパターン形成が容易になる。

【0019】また、本発明の第5の構成に係る回路基板の製造方法は、絶縁体層の一方の面に金属箔を、他方の面に樹脂フィルムをそれぞれ積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記粗化された前記孔底面に導電性バッファ層を形成する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする。

【0020】また、本発明の第6の構成に係る回路基板の製造方法は、金属箔よりなる配線パターンが形成されたコア層の表面に、絶縁体層及び樹脂フィルムをこの順に積層する工程と、前記樹脂フィルム側から前記金属箔と絶縁体層との界面まで孔加工を行う工程と、前記孔底面の前記金属箔の表面を粗化する工程と、前記粗化された前記孔底面に導電性バッファ層を形成する工程と、前記孔部に導電性組成物を充填する工程とを有することを特徴とする。

【0021】かかる第5又は第6の構成によれば、上記第4の構成に係る回路基板を効率良く製造することができる。

【0022】また、上記の回路基板の製造方法に関する各構成において、配線パターンを構成する金属箔の表面を粗化する方法が、砥粒加工、あるいは、金属箔の一部を除去又は塑性変形させる工程を含むことが好ましい。かかる好ましい構成によれば、金属箔表面の粗化を効率良く行うことができる。

【0023】

【発明の実施の形態】以下、本発明の回路基板及びその製造方法について図面を参照しながら説明する。

【0024】(第1の実施の形態) 図1は、本発明の第1の実施の形態における回路基板の構成を模式的に示したものであり、(a)は概略断面図、(b)は(a)のA部の拡大断面図である。

【0025】図1において、1は絶縁体層としてアラミド不織布にエポキシ樹脂を含浸した基材(プリプレグシート)であり、2は絶縁体層1の貫通孔に充填された導電性組成物としてエポキシ樹脂に銅粉を混ぜた導電性ペーストであり、3は配線パターンを構成する金属箔としての銅箔である。

【0026】また、最外層の絶縁体層1a、1bの外側表面に積層された銅箔3の導電性ペースト2との界面は、(b)に示すように粗化された構造になっている。図では、ランド強度が必要な最外層の銅箔の接続界面のみを粗化してあるが、内層部の接続界面にも同様の粗化処理を行ってよい。特に内層に用いる銅箔のシャーニ一面に用いるとその効果が大きい。

【0027】導電性組成物は、一般にバイヤホールに充

填される組成物であり、例えば、平均粒径が、0.5～20μmの金、銀、銅、ニッケル、パラジウム及びこれらの合金から選ばれる少なくとも1つの金属粉末(フィラー)80～95重量%と、バインダー(主成分としてエポキシ樹脂、フェノール樹脂、ポリイミド樹脂及びアクリル樹脂から選ばれる少なくとも1つの合成樹脂)5～20重量%を含むものを用いることができる。但し、導電性組成物としては、そのような特定の導電性樹脂組成物に限らず、バイヤホールに充填可能なものであれば、所定の電気特性を具備したいかなる導電性組成物を用いることができる。また、導電性組成物に限らず、例えば抵抗体組成物、或いは熱伝導性組成物なども必要に応じて用いることができる。

【0028】また、回路基板の絶縁体として用いられるプリプレグは、一般に用いられているものを使用することができます。具体的には、芳香族ポリアミド(アラミド)繊維、ポリイミド繊維、または、芳香族ポリエステル繊維等の高耐熱性有機合成繊維に、或いは、ガラス繊維等の高耐熱無機繊維の織布又は不織布に、未硬化状態の熱硬化性樹脂、例えば、エポキシ樹脂、フェノール樹脂、ポリブタジエン樹脂、ポリエステル樹脂、ポリイミド樹脂等を1種または複数組み合わせた樹脂を含浸させたものを乾燥、熱処理することにより、前記樹脂を半硬化状態にさせたものをプリプレグとして用いることができる。また、ポリイミドシート等の合成樹脂シート、或いはセラミック基板、紙フェノールシートのように、単独では回路基板の層間に用いることができない場合は、シートの表面に熱可塑性樹脂或いは熱硬化性樹脂を塗布することにより、本発明の回路基板接続用部材として用

いることができる。プリプレグの厚さは通常20～600μmであり、好ましくは40～150μmである。

【0029】配線パターンを形成する為に用いられる金属箔は、通常、銅又は銅を主成分とした合金を箔状にした状態のものを使用する。銅箔の厚さは、9～70μmのものが汎用的であり、電解銅箔が一般的であるが、特に限定されるものではない。また、配線パターンの形成はフォトリソグラフィー法等の公知の方法で形成してよい。

【0030】(第2の実施の形態) 図2は、本発明の第2の実施の形態における回路基板の構成を模式的に示したものであり、(a)は概略断面図、(b)は(a)のB部の拡大断面図である。

【0031】図2において、1は絶縁体層としてアラミド不織布にエポキシ樹脂を含浸した基材であり、2は絶縁体層1の貫通孔に充填された導電性組成物としてエポキシ樹脂に銅粉を混ぜた導電性ペーストであり、3は配線パターンを構成する金属箔としての銅箔、4は導電性バッファ層としての銀の膜である。

【0032】また、最外層の絶縁体層1a、1bの外側表面に積層された銅箔3の導電性バッファ層4との界面

は、(b)に示すように粗化された構造になっている。図では、ランド強度が必要な最外層の銅箔の接続界面のみを粗化してあるが、内層部の接続界面にも同様の処理を行ってもよい。特に内層に用いる銅箔のシャーニ一面に用いるとその効果が大きい。

【0033】導電性バッファー層は、金、銀、錫、鉛、インジウム及びバラジウムのうちの少なくとも1種類の金属、もしくはこれらの合金、あるいはこれらの金属化合物にすることによって、前述した導電性組成物に含有される金属フィラー及び前述した配線パターンのいずれか一方または両方と合金、または金属化合物を形成する。

【0034】また、導電性バッファー層は配線パターン及び導電性組成物の凹凸に追随して変形し、大きな接触面積と多数の接触点数で接触するような材質のものであっても、優れた信頼性を有する回路基板を実現できる。

【0035】本発明において、導電性バッファー層の厚みは、好ましくは、0.01~20μmの範囲であり、更に好ましくは0.1μm~5μmである。導電性バッファー層の厚みが0.01μmより薄いとその機能を果たさない場合が多く、また、逆に20μmより厚いとコストが多くかかる等の問題がある。

【0036】(第3の実施の形態)以下に、本発明の第3の実施の形態における回路基板の製造方法について説明する。

【0037】図3及び図4は、本実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【0038】まず、絶縁体層としてのアラミド不織布にエポキシ樹脂を含浸したプリプレグ1の片側の面に銅箔3を、もう一方の面にプラスチックフィルム(ポリエチレンテレフタレート(PET)フィルム)5をラミネーターもしくはプレスによって貼り合わせる(図3(a))。

【0039】次に、PETフィルム5の貼り付け面からレーザー等によって銅箔3までプリプレグ1に孔を開け、孔底面の銅箔3の表面をサンドブラスト、ジェットスクラップ等の砥粒加工を行い、粗化した後、孔に導電性ペースト2を印刷法によって充填する(図3(b))。図3(b-1)は(b)のC部の拡大断面図である。図示したように、銅箔3の導電性ペースト2との界面は粗化された構造になっている。

【0040】次に、導電性ペーストを充填したプリプレグ1に貼り付けてあるPETフィルム5を剥離し、両表層に銅箔により配線パターン3が形成されたコア材6(図では4層板)の両側から位置合わせを行った後、重ねあわせて(図4(c))、仮止めを行う。図示したコア材6は、プリプレグに、所定位置に貫通孔を形成し、貫通孔に導電性ペーストを充填し、貫通孔の開口部に銅箔を積層した後、配線パターンを形成する工程を繰り返すことにより得たものである。

【0041】最後に、重ね合されたコア材6とその両表面のプリプレグ1を熱プレス(例えは温度:200°C、圧力:50Kg/cm²)により一体化した後、最外層の銅箔をバーニングして配線パターン3を形成する(図4(d))。

【0042】以上により、実施の形態1に示したような回路基板が得られる。

【0043】(第4の実施の形態)以下に、本発明の第4の実施の形態における回路基板の製造方法について説明する。

【0044】図5及び図6は、本実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【0045】まず、絶縁体層としてのアラミド不織布にエポキシ樹脂を含浸したプリプレグ1の片側の面に銅箔3を、もう一方の面にプラスチックフィルム(ポリエチレンテレフタレート(PET)フィルム)5をラミネーターもしくはプレスによって貼り合わせる(図5(a))。

【0046】次に、PETフィルム5の貼り付け面からレーザー等によって銅箔3までプリプレグ1に孔を開け、孔底面の銅箔3の表面をサンドブラスト、ジェットスクラップ等の砥粒加工を行い、粗化した後、例えは銀を3μm成膜(スパッタ法)して導電性バッファ層4を形成し、更に孔に導電性ペースト2を印刷法によって充填する(図5(b))。図5(b-1)は(b)のD部の拡大断面図である。図示したように、銅箔3の導電性バッファ層4との界面は粗化された構造になっている。

【0047】次に、導電性ペーストを充填したプリプレグ1に貼り付けてあるPETフィルム5を剥離し、両表層に銅箔により配線パターン3が形成されたコア材6(図では4層板)の両側から位置合わせを行った後、重ねあわせて(図6(c))、仮止めを行う。

【0048】最後に、重ね合されたコア材6とその両表面のプリプレグ1を熱プレス(例えは温度:200°C、圧力:50Kg/cm²)により一体化した後、最外層の銅箔をバーニングして配線パターン3を形成する(図6(d))。

【0049】以上により、実施の形態2に示したような回路基板が得られる。

【0050】(第5の実施の形態)以下に、本発明の第5の実施の形態における回路基板の製造方法について説明する。

【0051】図7及び図8は、本実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【0052】絶縁体であるアラミド不織布にエポキシ樹脂を含浸したプリプレグ1に、貫通孔を形成し、導電性ペースト2を充填して、銅箔3をプレスして積層した後、銅箔3をバーニングして配線パターン3を形成する工程を繰り返して、4層板のコア材6を得る(図7(a))。

【0053】次に、4層板のコア材6の両側に、プリア

レグ1とPETフィルム5をこの順に積層する。そして、PETフィルム5面からレーザー等によって銅箔3までプリプレグ1に孔7を開け、孔底面の銅箔3の表面をサンドブラスト、ジェットスクラブ等の砥粒加工を行い、孔底面の表面を粗化する(図7(b))。図7(b-1)は(b)のE部の拡大断面図である。図示したように、孔7の底面の銅箔3の表面は粗化されている。

【0054】次に、PETフィルム5の上から導電性ペースト2を印刷法によって孔7に充填し、PETフィルム5を剥離し、両面に銅箔を重ねあわせてプレスを行った後、銅箔をパターン形成して配線パターン3を形成する(図8(c))。図8(c-1)は(c)のF部の拡大断面図である。

【0055】かくして6層板の回路基板を得る。

【0056】(第6の実施の形態)以下に、本発明の第6の実施の形態における回路基板の製造方法について説明する。

【0057】図9及び図10は、本実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【0058】絶縁体であるアラミド不織布にエポキシ樹脂を含浸したプリプレグ1に、貫通孔を形成し、導電性ペースト2を充填して、銅箔3をプレスして積層した後、銅箔3をパターン形成する工程を繰り返して、4層板のコア材6を得る(図9(a))。

【0059】次に、4層板のコア材6の両側に、プリプレグ1とPETフィルム5をこの順に積層する。そして、PETフィルム5面からレーザー等によって銅箔3までプリプレグ1に孔7を開け、孔底面の銅箔3の表面をサンドブラスト、ジェットスクラブ等の砥粒加工を行い、孔底面の表面を粗化する(図7(b))。図7(b-1)は(b)のG部の拡大断面図である。図示したように、孔7の底面の銅箔3の表面は粗化されている。

【0060】次に、孔7内の粗化された面に、例えば銀を $3\mu m$ 成膜(スパッタ法)して導電性バッファー層4を形成した後、PETフィルム5の上から導電性ペースト2を印刷法によって孔7に充填し、PETフィルム5を剥離し、両面に銅箔を重ねあわせてプレスを行った後、銅箔をパターン形成して配線パターン3を形成する(図10(c))。図10(c-1)は(c)のH部の拡大断面図である。

【0061】導電性バッファー層は金、銀、錫、鉛、インジウムまたはパラジウムのうちの少なくとも1種類の金属、もしくはこれらの合金、あるいはこれらの金属化合物にすることによって、前述した導電性組成物に含有される金属フィラー及び前述した配線パターンのいずれか一方または両方と合金、または金属化合物を形成する。

【0062】また、導電性バッファー層は配線パターン及び導電性組成物の凹凸に追随して変形し、大きな接触面積と多数の接触点数で接触するような材質のものであ

っても、優れた信頼性を有する回路基板を実現できる。【0063】以上の各実施の形態で得られた回路基板は、CSPパッケージやMCMの環境試験において良好な結果が得られ、特に、熱衝撃、PCT(プレシャー・クッカー・テスト)において接続不良の発生がなく、抵抗の変化率も従来に比べ格段に小さくなつた。

【0064】

【発明の効果】以上述べたように、本発明の回路基板によれば、配線パターンの導電性組成物との接触界面が粗化されているので、又は、配線パターンと導電性組成物との間に導電性バッファー層が形成されており、配線パターンの導電性バッファー層との接触界面が粗化されているので、CSPパッケージやMCMの環境試験において良好な結果が得られ、特に、熱衝撃、PCT(プレシャー・クッカー・テスト)において接続不良の発生がなく、抵抗の変化率も従来に比べ格段に小さくなつた。

【0065】また、配線パターンの粗化領域が、導電性組成物又は導電性バッファー層との接続界面に限定されているので、全面を粗化した場合と比べて配線パターンのファインパターン形成が容易になる。

【0066】更に、本発明の回路基板の製造方法によれば、上記の効果を奏する回路基板を効率良く製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における回路基板の構成を模式的に示したものであり、(a)は概略断面図、(b)は(a)のA部の拡大断面図である。

【図2】本発明の第2の実施の形態における回路基板の構成を模式的に示したものであり、(a)は概略断面図、(b)は(a)のB部の拡大断面図である。

【図3】第3の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図4】第3の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図5】第4の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図6】第4の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図7】第5の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図8】第5の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図9】第6の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【図10】第6の実施の形態の回路基板の製造方法を工程順に示した模式的断面図である。

【符号の説明】

- 1 絶縁体層(プリプレグシート)
- 2 導電性組成物(導電性ペースト)
- 3 配線パターン(銅箔)

(7)

11

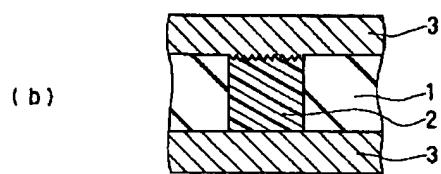
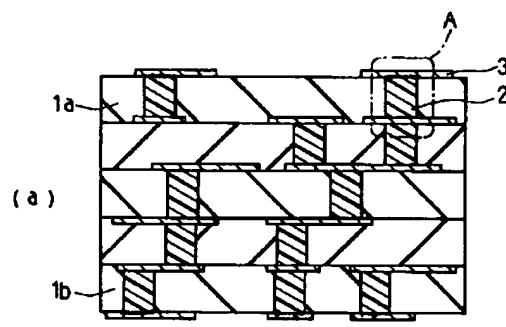
4 導電性バッファ層
5 プラスチックフィルム(PETフィルム)

特開2000-68620

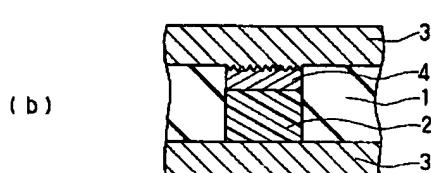
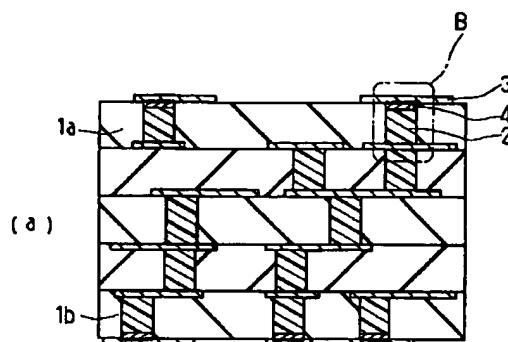
12

6 コア材
7 孔

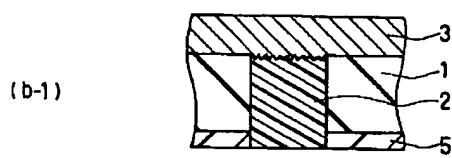
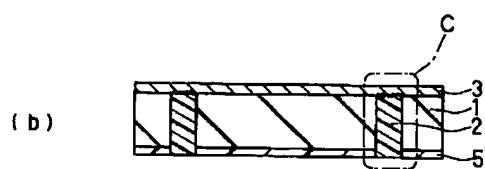
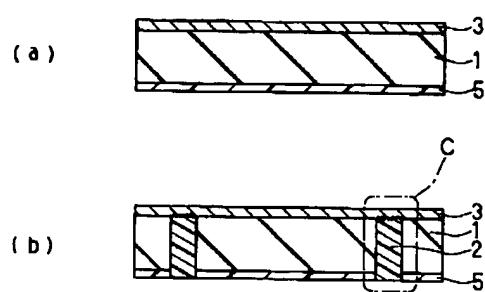
【図1】



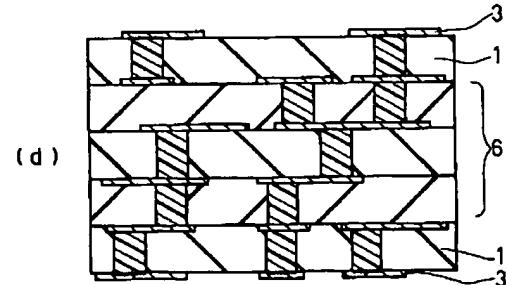
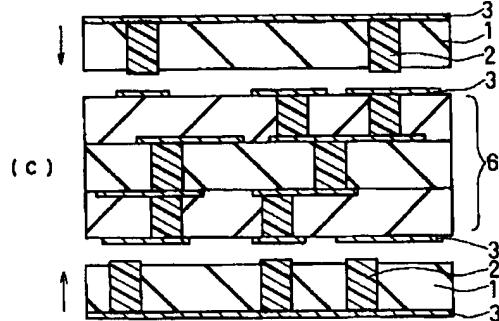
【図2】



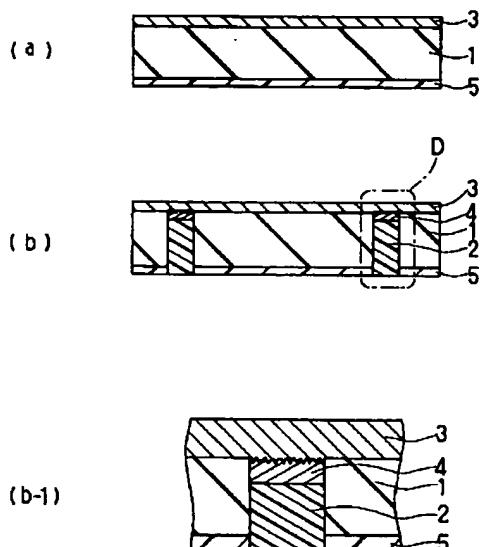
【図3】



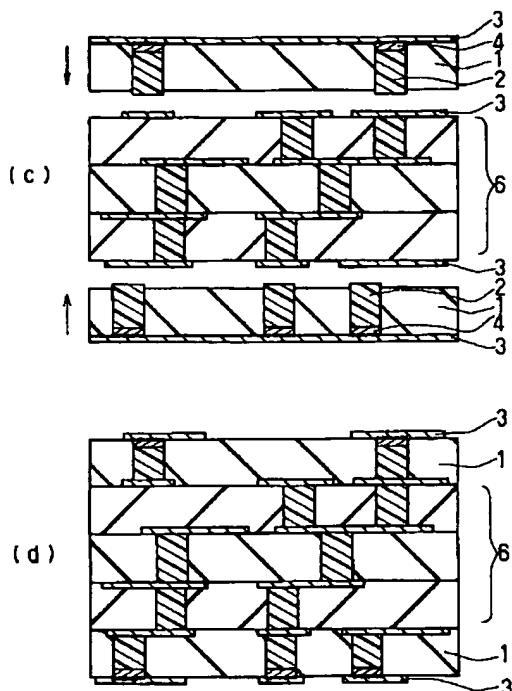
【図4】



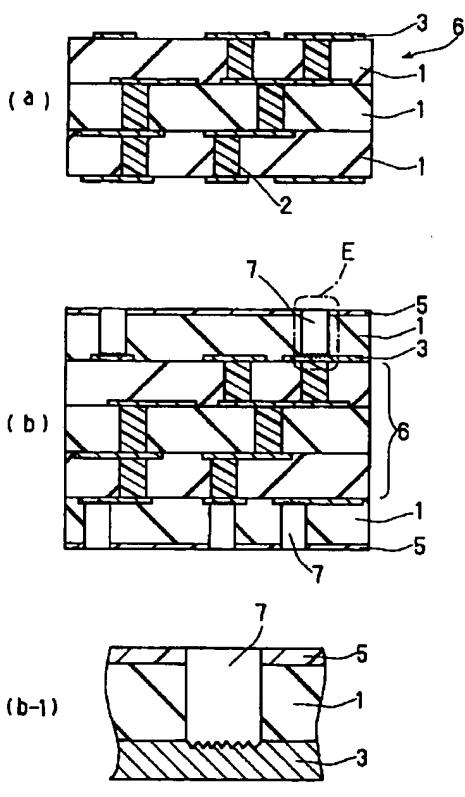
【図5】



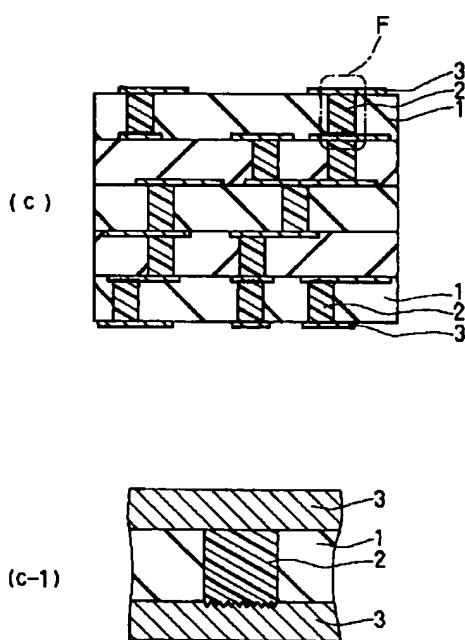
【図6】



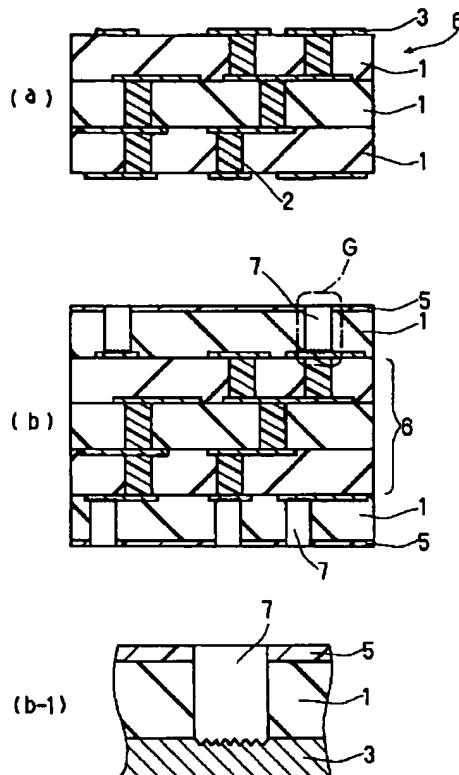
【図7】



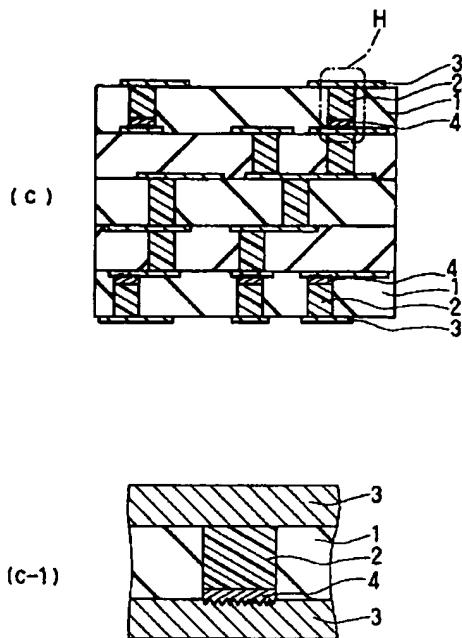
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 4E351 AA03 AA04 BB30 BB38 BB49
 CC11 DD04 DD06 DD52 DD54
 DD55 GG02 GG08
 5E317 AA21 AA24 AA27 BB02 BB12
 BB13 BB14 BB15 BB18 BB19
 BB25 CC13 CC25 CD05 CD32
 GG09 GG11 GG14
 5E343 AA02 AA12 BB15 BB24 BB25
 BB44 BB67 BB75 BB78 DD02
 DD52 DD62 EE58 GG04 GG08
 GG13

PAT-NO: JP02000068620A
DOCUMENT-IDENTIFIER: JP 2000068620 A
TITLE: CIRCUIT SUBSTRATE AND MANUFACTURE THEREOF
PUBN-DATE: March 3, 2000

INVENTOR- INFORMATION:

NAME	COUNTRY
NAKAYA, YASUHIRO	N/A
SUZUKI, TAKESHI	N/A

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP10238580

APPL-DATE: August 25, 1998

INT-CL (IPC): H05K001/11, H05K001/09 , H05K003/38 , H05K003/40

ABSTRACT:

PROBLEM TO BE SOLVED: To realize a circuit substrate having high reliability in inner via hole connection by a method wherein at least one of interfaces of a wiring pattern with a conductive component is roughened more than an interface with an insulator layer.

SOLUTION: An interface with conductive paste 2 of a copper foil 3 laminated on an external surface of outermost insulator layers 1a, 1b of an insulator layer 1 comprising aramid nonwoven cloth with epoxy resin impregnated is a roughened structure. In this case, although only a connection interface of the outermost copper foil which requires land strength, similar roughening may be done also on a connection interface of an inner layer part.

Especially, it may be used effectively on a sling surface of the copper foil used in the inner layer. The conductive paste 2 comprises an epoxy resin with copper powder mixed as a conductive composition filled in a through hole of the insulator layer 1, wherein the conductive composition may be a composition to be filled in a via hole generally, which contains metal powder such as gold and an epoxy resin for example as a binder.

COPYRIGHT: (C) 2000, JPO

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the circuit board and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, the circuit board is asked for the Kota layer and densification with high-performance-izing of electronic equipment, and a miniaturization. Densification is attained by inner buyer hole (IVH) connection as an interlayer connection method of the substrate which can combine between ICs and between components by the minimum distance.

[0003] The multilayer substrate of IVH connection carries out the laminating of the circuit board connection material, such as prepreg which filled up the buyer with the conductive resin constituent, for example, paste-like a thing, i.e., a conductive paste, to the copper foil or the core material by which pattern formation was carried out beforehand for pattern formation, and is manufactured by heating/pressurizing by the approach of a heat press etc.

[0004] The thing which made synthetic-resin binders, such as an epoxy resin, distribute conductive fillers, such as copper powder, is used, and a conductive paste is filled up into the through tube formed in the location of a request of the prepreg which equipped both sides with the mold-release characteristic film with approaches, such as printing.

[0005] At above, heating / pressurization process, the binder under conductive paste pasted up the copper foil for a conductive filler and circuit formation, made the mechanical strength discover, and has obtained IVH connection by mechanical contact of a conductive filler and copper foil.

[0006]

[Problem(s) to be Solved by the Invention] However, since point contact of a conductive filler and the copper foil was only carried out, its conventional IVH connection technique mentioned above was inadequate in respect of the dependability about electric connection. When semiconductor packages, such as LSI, or the dependability required of the circuit board of module applications (MCM, CSP, etc.), for example, a pressure cooker test, (PCT) was specifically performed, it was the interface of the conductive constituent / copper foil in a buyer, connection resistance became high, and when the worst, there was a trouble that an open circuit occurred.

[0007] The dependability of IVH connection was the most important in the engine performance of a multilayer substrate, densification could be attained, and in order to use for a semiconductor package or a module application the IVH connection resin multilayer substrate which can moreover carry out [lightweight]-izing, the improvement was called for strongly.

[0008] This invention solves the above-mentioned conventional technical problem, and it aims at offering the circuit board and its manufacture approach for realizing the circuit board which has high dependability in IVH connection.

[0009]

[Means for Solving the Problem] This invention is considered as the following configurations, in order to attain the above-mentioned purpose.

[0010] The insulator layer in which, as for the circuit board concerning the 1st configuration of this invention, the through tube was formed, It has the conductive constituent with which said through tube was filled up, and the circuit pattern formed in both sides of said insulator layer. The circuit pattern formed in both sides of said insulator layer is electrically connected through said conductive constituent, and at least one of interfaces with said conductive constituent of said circuit pattern is characterized by being roughened compared with an interface with said insulator layer.

[0011] According to the 1st above-mentioned configuration, since the contact interface with the conductive constituent of a circuit pattern is roughened, a touch area increases and the dependability of connection improves according to the operation which the number of points of contact of the conductive filler in a conductive constituent and the metallic foil of a circuit pattern increases, or heightens adhesive strength of the resin and the circuit pattern which are contained in a conductive constituent.

[0012] Moreover, according to the 1st configuration of the above, since the roughening field of a circuit pattern is limited to the connection interface with a conductive constituent, compared with the case where the whole surface is roughened, the fine pattern formation of a circuit pattern becomes easy. It is because it is difficult to perform over etching and to raise pattern precision after that at the time of etching of the metallic foil for circuit pattern formation in the circuit board obtained by carrying out the laminating of the metallic foil by which the whole surface was roughened to an insulator layer, since it will be deeply embedded by the roughening part in the insulator layer.

[0013] moreover -- from the process to which the manufacture approach of the circuit board concerning the 2nd configuration of this invention makes a metallic foil one field of an insulator layer, and makes the laminating of the resin film to the field of another side, respectively, and said resin film side up to the interface of said metallic foil and an insulator layer -- a hole -- the process which processes it, and said hole -- it is characterized by to have the process which roughens the front face of said metallic foil at the bottom, and the process which fill up said pore with a conductive constituent.

[0014] Moreover, the manufacture approach of the circuit board concerning the 3rd configuration of this invention The process which carries out the laminating of an insulator layer and the resin film to this order on the front face of a core layer in which the circuit pattern which consists of a metallic foil was formed, from said resin film side up to the interface of said metallic foil and insulator layer -- a hole -- the process which processes it, and said hole -- it is characterized by having the process which roughens the front face of said metallic foil at the bottom, and the process which fills up said pore with a conductive constituent.

[0015] According to this 2nd or 3rd configuration, the circuit board concerning the 1st configuration of the above can be manufactured efficiently.

[0016] Furthermore, the circuit board concerning the 4th configuration of this invention The insulator layer in which the through tube was formed, and the conductive constituent with which said through tube was filled up, It has the conductive buffer layer prepared between the circuit pattern formed in both sides of said insulator layer, and said circuit pattern and said conductive constituent. The circuit pattern formed in both sides of said insulator layer is electrically connected through said conductive constituent and said conductive buffer layer. At least one of interfaces with said conductive buffer layer of said circuit pattern is characterized by being roughened compared with an interface with said insulator layer.

[0017] Since according to the 4th configuration of the above the conductive buffer layer is formed between the circuit pattern and the conductive constituent and the contact interface with the conductive buffer layer of a circuit pattern is roughened, while a touch area increases, a conductive buffer layer follows in footsteps and deforms into the surface irregularity of a circuit pattern, and adhesion increases or it becomes easy to form an alloy or an intermetallic compound between the metal components which constitute a circuit pattern. Moreover, the concavo-convex pattern by roughening of a circuit pattern is formed in a conductive buffer layer front face as it is by forming a conductive buffer layer very thinly. For this reason, while the contact interface of a conductive buffer layer and a conductive constituent is also roughened and a touch area increases, a conductive buffer layer follows in footsteps and deforms into the surface irregularity of the conductive filler in a conductive constituent, and adhesion increases, an alloy or an intermetallic compound is formed between the metal components which constitute a

conductive filler, or it becomes easy to heighten adhesive strength of the resin and the conductive buffer layer which are further contained in a conductive constituent. The dependability of connection between a circuit pattern and a conductive constituent improves the above result.

[0018] Moreover, according to the 4th configuration of the above, compared with the case where the whole surface is roughened, the fine pattern formation of a circuit pattern becomes easy like [since the roughening field of a circuit pattern is limited to the connection interface with a conductive buffer layer] the circuit board concerning the 1st configuration.

[0019] Moreover, the manufacture approach of the circuit board concerning the 5th configuration of this invention The process which makes a metallic foil one field of an insulator layer, and makes the laminating of the resin film to the field of another side, respectively, from said resin film side up to the interface of said metallic foil and insulator layer -- a hole -- with the process which processes it It is characterized by having the process which roughens the front face of said metallic foil at the aforementioned base of a hole, the process which forms a conductive buffer layer in said roughened aforementioned hole base, and the process which fills up said pore with a conductive constituent.

[0020] Moreover, the manufacture approach of the circuit board concerning the 6th configuration of this invention The process which carries out the laminating of an insulator layer and the resin film to this order on the front face of a core layer in which the circuit pattern which consists of a metallic foil was formed, from said resin film side up to the interface of said metallic foil and insulator layer -- a hole -- with the process which processes it It is characterized by having the process which roughens the front face of said metallic foil at the aforementioned base of a hole, the process which forms a conductive buffer layer in said roughened aforementioned hole base, and the process which fills up said pore with a conductive constituent.

[0021] According to this 5th or 6th configuration, the circuit board concerning the 4th configuration of the above can be manufactured efficiently.

[0022] Moreover, in each configuration about the manufacture approach of the above-mentioned circuit board, it is desirable that the approach of roughening the front face of the metallic foil which constitutes a circuit pattern includes removal or the process which carries out plastic deformation for abrasive processing or a part of metallic foil. According to this desirable configuration, a metallic foil front face can be roughened efficiently.

[0023]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the circuit board and its manufacture approach of this invention.

[0024] (Gestalt of the 1st operation) Drawing 1 shows typically the configuration of the circuit board in the gestalt of operation of the 1st of this invention, (a) is an outline sectional view and (b) is the expanded sectional view of the A section of (a).

[0025] In drawing 1, 1 is the base material (prepreg sheet) which sank the epoxy resin into the aramid nonwoven fabric as an insulator layer, 2 is the conductive paste to which copper powder was mixed with the epoxy resin as a conductive constituent with which the through tube of the insulator layer 1 was filled up, and 3 is copper foil as a metallic foil which constitutes a circuit pattern.

[0026] Moreover, the interface with the conductive paste 2 of copper foil 3 by which the laminating was carried out to the outside front face of the insulator layers 1a and 1b of the outermost layer has structure roughened as shown in (b). Although only the connection interface of the copper foil of the outermost layer which needs land reinforcement is roughened by a diagram, the same roughening processing also as the connection interface of the inner layer section may be performed. The effectiveness is large when it uses for the shear knee side of the copper foil used especially for a inner layer.

[0027] A conductive constituent is a constituent with which a buyer hole is generally filled up, for example, that in which a mean diameter contains 80 - 95 % of the weight (filler) of at least one metal powder chosen from 0.5-20-micrometer gold, silver, copper, nickel, palladium, and these alloys and 5 - 20 % of the weight (at least one synthetic resin chosen from an epoxy resin, phenol resin, polyimide resin, and acrylic resin as a principal component) of binder can be used for it. However, as a conductive constituent, if restoration not only in such a specific conductive resin constituent but the Bahia hall is

possible, what kind of conductive constituent possessing a predetermined electrical property can be used. Moreover, not only a conductive constituent but for example, a resistor constituent or a thermally conductive constituent etc. can be used if needed.

[0028] Moreover, the prepreg used as an insulator of the circuit board can use what is generally used. Specifically Aromatic polyamide (aramid) fiber, polyimide fiber, or high thermal-resistance organic synthesis fiber, such as aromatic polyester fiber, -- or To the textile fabrics or the nonwoven fabrics of a high heatproof inorganic fiber, such as a glass fiber, the thermosetting resin in the condition of not hardening, For example, what changed said resin into the semi-hardening condition can be used as prepreg by drying that into which one sort or the combined resin was infiltrated, and heat-treating an epoxy resin, phenol resin, poly swine JIEN resin, polyester resin, polyimide resin, etc. Moreover, if independent, when it cannot use between the layers of the circuit board like synthetic-resin sheets, such as a polyimide sheet, or a ceramic substrate, and a paper phenol sheet, it can use as a member for circuit board connection of this invention by applying thermoplastics or thermosetting resin on the surface of a sheet. The thickness of prepreg is usually 20-600 micrometers, and is 40-150 micrometers preferably.

[0029] The thing in the condition of having usually made into the shape of a foil the alloy which used copper or copper as the principal component is used for the metallic foil used in order to form a circuit pattern. Although the thickness of copper foil has a 9-70-micrometer general-purpose thing and electrolytic copper foil is common, it is not limited especially. Moreover, formation of a circuit pattern may be formed by well-known approaches, such as the photolithography method.

[0030] (Gestalt of the 2nd operation) Drawing 2 shows typically the configuration of the circuit board in the gestalt of operation of the 2nd of this invention, (a) is an outline sectional view and (b) is the expanded sectional view of the B section of (a).

[0031] In drawing 2, 1 is the base material which sank the epoxy resin into the aramid nonwoven fabric as an insulator layer, 2 is the conductive paste to which copper powder was mixed with the epoxy resin as a conductive constituent with which the through tube of the insulator layer 1 was filled up, and the copper foil as a metallic foil from which 3 constitutes a circuit pattern, and 4 are the film of the silver as a conductive buffer layer.

[0032] Moreover, the interface with the conductive buffer layer 4 of the copper foil 3 by which the laminating was carried out to the outside front face of the insulator layers 1a and 1b of the outermost layer has structure roughened as shown in (b). Although only the connection interface of the copper foil of the outermost layer which needs land reinforcement is roughened by a diagram, the same processing also as the connection interface of the inner layer section may be performed. The effectiveness is large when it uses for the shear knee side of the copper foil used especially for a inner layer.

[0033] A conductive buffer layer forms either the filler metal contained in the conductive constituent mentioned above and the circuit pattern mentioned above both, an alloy, or metallic compounds by making it at least one kind of metals of gold, silver, tin, lead, an indium, and the palladium, these alloys, or these metallic compounds.

[0034] Moreover, a conductive buffer layer follows in footsteps and deforms into the irregularity of a circuit pattern and a conductive constituent, and even if it is the thing of the quality of the material which contacts with a big touch area and many numbers of points of contact, the circuit board which has the outstanding dependability is realizable.

[0035] In this invention, preferably, the range of the thickness of a conductive buffer layer is 0.01-20 micrometers, and it is 0.1 micrometers - 5 micrometers still more preferably. Not achieving the function in many cases, if the thickness of a conductive buffer layer is thinner than 0.01 micrometers, when conversely thicker than 20 micrometers, there are problems, like cost cuts in many.

[0036] (Gestalt of the 3rd operation) Below, the manufacture approach of the circuit board in the gestalt of operation of the 3rd of this invention is explained.

[0037] Drawing 3 and drawing 4 are the typical sectional views having shown the manufacture approach of the circuit board of the gestalt this operation in order of the process.

[0038] First, plastic film (polyethylene terephthalate (PET) film) 5 is stuck for copper foil 3 on the field of one side of the prepreg 1 which sank the epoxy resin into the aramid nonwoven fabric as an insulator

layer with a laminator or a press in another field (drawing 3 (a)).

[0039] next, attachment Men of the PET film 5 to laser etc. -- up to copper foil 3 -- prepreg 1 -- a hole -- opening -- a hole -- after performing abrasive processing, such as sandblasting and a jet scrub, and roughening the front face of copper foil 3 at the bottom, a hole is filled up with the conductive paste 2 by print processes (drawing 3 (b)). Drawing 3 (b-1) is the expanded sectional view of the C section of (b). As illustrated, the interface with the conductive paste 2 of copper foil 3 has roughened structure.

[0040] Next, the PET film 5 currently stuck on the prepreg 1 filled up with the conductive paste is exfoliated, after performing alignment from the both sides of the core material 6 (drawing 4 lamellaes) by which the circuit pattern 3 was formed in both surfaces of copper foil, it has piled up (drawing 4 (c)) and eye tacking is performed. The illustrated core material 6 is obtained by repeating the process which forms a circuit pattern, after forming a through tube in a predetermined location, filling up a through tube with a conductive paste and carrying out the laminating of the copper foil to opening of a through tube at prepreg.

[0041] After unifying the prepreg 1 of the piled-up core material 6 and both its front face at the end with a heat press (for example, temperature: 200 degrees C, pressure: 50 kg/cm²), patterning of the copper foil of the outermost layer is carried out, and a circuit pattern 3 is formed (drawing 4 (d)).

[0042] The circuit board as shown in the gestalt 1 of operation is obtained by the above.

[0043] (Gestalt of the 4th operation) Below, the manufacture approach of the circuit board in the gestalt of operation of the 4th of this invention is explained.

[0044] Drawing 5 and drawing 6 are the typical sectional views having shown the manufacture approach of the circuit board of the gestalt this operation in order of the process.

[0045] First, plastic film (polyethylene terephthalate (PET) film) 5 is stuck for copper foil 3 on the field of one side of the prepreg 1 which sank the epoxy resin into the aramid nonwoven fabric as an insulator layer with a laminator or a press in another field (drawing 5 (a)).

[0046] next, attachment Men of the PET film 5 to laser etc. -- up to copper foil 3 -- prepreg 1 -- a hole -- opening -- a hole -- after performing abrasive processing, such as sandblasting and a jet scrub, and roughening the front face of copper foil 3 at the bottom, 3-micrometer membrane formation (spatter) of the silver is carried out, the conductive buffer layer 4 is formed, and a hole is further filled up with the conductive paste 2 by print processes (drawing 5 (b)). Drawing 5 (b-1) is the expanded sectional view of the D section of (b). As illustrated, the interface with the conductive buffer layer 4 of copper foil 3 has roughened structure.

[0047] Next, the PET film 5 currently stuck on the prepreg 1 filled up with the conductive paste is exfoliated, after performing alignment from the both sides of the core material 6 (drawing 4 lamellaes) by which the circuit pattern 3 was formed in both surfaces of copper foil, it has piled up (drawing 6 (c)) and eye tacking is performed.

[0048] After unifying the prepreg 1 of the piled-up core material 6 and both its front face at the end with a heat press (for example, temperature: 200 degrees C, pressure: 50 kg/cm²), patterning of the copper foil of the outermost layer is carried out, and a circuit pattern 3 is formed (drawing 6 (d)).

[0049] The circuit board as shown in the gestalt 2 of operation is obtained by the above.

[0050] (Gestalt of the 5th operation) Below, the manufacture approach of the circuit board in the gestalt of operation of the 5th of this invention is explained.

[0051] Drawing 7 and drawing 8 are the typical sectional views having shown the manufacture approach of the circuit board of the gestalt this operation in order of the process.

[0052] A through tube is formed in the prepreg 1 which sank the epoxy resin into the aramid nonwoven fabric which is an insulator, and it is filled up with the conductive paste 2, and after pressing and carrying out the laminating of the copper foil 3, the process which carries out pattern formation of the copper foil 3 is repeated, and the core material 6 of 4 lamellae is obtained (drawing 7 (a)).

[0053] Next, the laminating of prepreg 1 and the PET film 5 is carried out to the both sides of the core material 6 of 4 lamellae at this order. and the 5th page of a PET film to laser etc. -- up to copper foil 3 -- prepreg 1 -- a hole 7 -- opening -- a hole -- the front face of copper foil 3 at the bottom -- abrasive processing, such as sandblasting and a jet scrub, -- carrying out -- a hole -- a front face at the bottom is

roughened (drawing 7 (b)). Drawing 7 (b-1) is the expanded sectional view of the E section of (b). As illustrated, the front face of the copper foil 3 of the base of a hole 7 is roughened.

[0054] Next, a hole 7 is filled up with the conductive paste 2 by print processes from on the PET film 5, the PET film 5 is exfoliated, after pressing in both sides by piling up copper foil, pattern formation of the copper foil is carried out, and a circuit pattern 3 is formed (drawing 8 (c)). Drawing 8 (c-1) is the expanded sectional view of the F section of (c).

[0055] The circuit board of 6 lamellae is obtained in this way.

[0056] (Gestalt of the 6th operation) Below, the manufacture approach of the circuit board in the gestalt of operation of the 6th of this invention is explained.

[0057] Drawing 9 and drawing 10 are the typical sectional views having shown the manufacture approach of the circuit board of the gestalt this operation in order of the process.

[0058] A through tube is formed in the prepreg 1 which sank the epoxy resin into the aramid nonwoven fabric which is an insulator, and it is filled up with the conductive paste 2, and after pressing and carrying out the laminating of the copper foil 3, the process which carries out pattern formation of the copper foil 3 is repeated, and the core material 6 of 4 lamellae is obtained (drawing 9 (a)).

[0059] Next, the laminating of prepreg 1 and the PET film 5 is carried out to the both sides of the core material 6 of 4 lamellae at this order. and the 5th page of a PET film to laser etc. -- up to copper foil 3 -- prepreg 1 -- a hole 7 -- opening -- a hole -- the front face of copper foil 3 at the bottom -- abrasive processing, such as sandblasting and a jet scrub, -- carrying out -- a hole -- a front face at the bottom is roughened (drawing 7 (b)). Drawing 7 (b-1) is the expanded sectional view of the G section of (b). As illustrated, the front face of the copper foil 3 of the base of a hole 7 is roughened.

[0060] Next, after carrying out 3-micrometer membrane formation (spatter) of the silver and forming the conductive buffer layer 4, a hole 7 is filled up with the conductive paste 2 by print processes from on the PET film 5, the PET film 5 is exfoliated, after pressing in both sides by piling up copper foil, pattern formation of the copper foil is carried out to the field where it was roughened in the hole 7, and a circuit pattern 3 is formed in it (drawing 10 (c)). Drawing 10 (c-1) is the expanded sectional view of the H section of (c).

[0061] A conductive buffer layer forms either the filler metal contained in the conductive constituent mentioned above and the circuit pattern mentioned above both, an alloy, or metallic compounds by making it at least one kind of metals of gold, silver, tin, lead, an indium, or the palladium, these alloys, or these metallic compounds.

[0062] Moreover, a conductive buffer layer follows in footsteps and deforms into the irregularity of a circuit pattern and a conductive constituent, and even if it is the thing of the quality of the material which contacts with a big touch area and many numbers of points of contact, the circuit board which has the outstanding dependability is realizable.

[0063] the good result was obtained in the environmental test of a CSP package or MCM, the circuit board obtained with the gestalt of each above operation did not have a faulty connection's generating in a thermal shock and PCT (pre shear cooker test) especially, the rate of change of resistance also boiled it markedly compared with the former, and it became small.

[0064]

[Effect of the Invention] Since the contact interface with the conductive constituent of a circuit pattern is roughened according to the circuit board of this invention as stated above Or since the conductive buffer layer is formed between the circuit pattern and the conductive constituent and the contact interface with the conductive buffer layer of a circuit pattern is roughened the good result was obtained in the environmental test of a CSP package or MCM, and especially, there was no generating of a faulty connection in a thermal shock and PCT (pre shear cooker test), and the rate of change of resistance was also markedly boiled compared with the former, and became small.

[0065] Moreover, since the roughening field of a circuit pattern is limited to the connection interface with a conductive constituent or a conductive buffer layer, compared with the case where the whole surface is roughened, the fine pattern formation of a circuit pattern becomes easy.

[0066] Furthermore, according to the manufacture approach of the circuit board of this invention, the

circuit board which does the above-mentioned effectiveness so can be manufactured efficiently.

[Translation done.]